



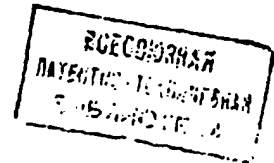
СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

№ SU (11) 1573458 A2

(51)5 G 06 F 12/00

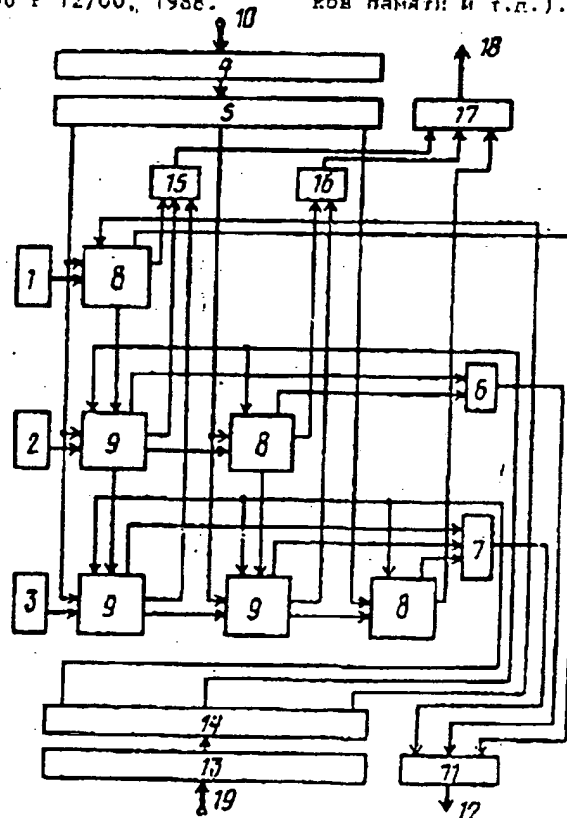
ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГКНТ СССР

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(61) 1388877  
(21) 4487231/24-24  
(22) 26.09.88  
(46) 23.06.90. Бюл. № 23  
(72) Н.Г.Пархоменко, В.Ю.Лозбенев,  
В.Г.Черняев и С.В.Козелков  
(53) 681.325 (086.8)  
(56) Авторское свидетельство СССР  
№ 1388877, кл. G 06 F 12/00, 1988.

(54) УСТРОЙСТВО ДЛЯ АДРЕСАЦИИ  
(57) Изобретение относится к автоматике и вычислительной технике и может быть использовано в качестве модуля для аппаратного взаимного преобразования логических и физических адресов любых функционально законченных блоков (процессоров, блоков памяти и т.д.). Целью изобретения



Фиг.1

№ SU (11) 1573458 A2

FI 009073

является расширение функциональных возможностей устройства и области его применения за счет обратного преобразования физического адреса блока в его логический адрес. Устройство содержит группу переключателей 1-3 логического адреса, регистр 4 логического адреса, дешифратор 5 логического адреса, первую группу элементов ИЛИ 6 и 7, блоки 8 и 9 коммутации первой, второй групп, шифратор 11 физического адреса, регистр 13 физического ад-

реса, дешифратор 14 физического адреса, вторую группу элементов ИЛИ 15 и 16, шифратор 17 логического адреса. Введение регистра 13, дешифратора 14, шифратора 11, 17 и изменение конструкции блоков коммутации позволяет осуществлять как преобразование логического адреса в физический, так и наоборот, причем прямое и обратное преобразования могут происходить одновременно и независимо друг от друга. 3 ил.

Изобретение относится к автоматике и вычислительной технике, может быть использовано в качестве модуля для аппаратного взаимного преобразования логических и физических адресов любых функционально законченных блоков (процессоров, блоков памяти и т.д.) и является усовершенствованием устройства по авт. св. № 1368877.

Целью изобретения является расширение функциональных возможностей и области применения устройства за счет обратного преобразования физического адреса блока в его логический адрес.

На фиг. 1 представлена функциональная схема устройства для трех блоков; на фиг. 2 и 3 - функциональные схемы элементов коммутации первой и второй групп соответственно.

Устройство содержит группу переключателей 1-3, регистр 4 логического адреса, дешифратор 5 логического адреса, первую группу элементов ИЛИ 6 и 7, блоки 8 и 9 коммутации первой и второй групп, вход 10 логического адреса устройства, шифратор 11 физического адреса, выход 12 физического адреса устройства, регистр 13 физического адреса и дешифратор 14 физического адреса устройства, вторую группу элементов ИЛИ 15 и 16, шифратор 17, выход 18 логического адреса устройства, вход 19.

Устройство работает следующим образом.

Блок 3 коммутации (фиг. 2) реализует логические функции  $K=GH$ ,  $L=N$ ,  $P=NO$ , где  $G, H, O, K, L, P$  - сигналы на первом, втором, третьем входах и выходах блока 3 коммутации первой группы соответственно.

Блок 9 коммутации (фиг. 3) реализует функции  $D=ABC$ ,  $E=AC$ ,  $N=ACM$  и  $F=BC$ , где  $A, C, B, M, D, E, F, N$  - сигналы на первом - четвертом входах и первом - четвертом выходах блока 9 коммутации второй группы соответственно.

Сразу же после подачи питания начинается сеанс коммутации в матрице блока 8(9) в соответствии с сигналами переключателей 1-3. Сигнал высокого уровня (ВУ) на выходе переключателей 1-3 соответствует состоянию "Блок включен/исправен", сигнал низкого уровня (НУ) - состоянию "Блок выключен/неисправен".

После завершения переходных процессов в матрице блока 8(9) коммутации устройство готово к работе в режиме взаимопреобразования логического и физического адресов. При этом логический адрес "j" всегда связывается с таким физическим адресом "i", который соответствует j-му функциональному блоку из числа неотключенных/исправных блоков и наоборот (т.е. соответствие между полями логических и физических адресов для данного распределения флагов годности, заданного переключателями 1-3, является взаимно однозначными).

Например, пусть переключатель 1 находится в положении НУ, а переключатели 2 и 3 - в положении ВУ. Тогда логический адрес "1" на выходе 10 соответствует физическому адресу "2" на выходе 12, а физический адрес "3" на входе 19 соответствует логическому адресу "2" на выходе 18. Причем преобразования логических адресов в физические и обратные происходят совершенно независимо друг от друга,

что позволяет, не прерывая обращения к исправному блоку (при преобразовании логического адреса в физический), улавливать, например, какому логическому адресу соответствует информация в блоке памяти с определенным физическим адресом.

#### Ф о р м у л а из о б р е т е н и я

Устройство для адресации по авт. св. № 1388877, отличающееся тем, что, с целью расширения функциональных возможностей и области применения устройства за счет обратного преобразования физического адреса блока в его логический адрес, в него введены шифратор физического адреса, регистр физического адреса, дешифратор физического адреса, вторая группа элементов ИЛИ, шифратор логического адреса, причем информационный вход регистра физического адреса является входом физического адреса устройства, выход регистра физического адреса соединен с входом дешифратора

физического адреса,  $j$ -й выход дешифратора физического адреса соединен с третьим входом блока коммутации первой группы и четвертым входом блока коммутации второй группы  $j$ -й строки матрицы, третьи выходы блоков коммутации первой группы и четвертые выходы блоков коммутации второй группы каждого столбца матрицы, кроме последнего, соединены с входами соответствующих элементов ИЛИ второй группы, выходы элементов ИЛИ второй группы и третий выход блока коммутации первой группы последнего столбца матрицы соединены с соответствующими входами шифратора логического адреса, выход которого является выходом логического адреса устройства, выходы элементов ИЛИ первой группы и первый выход блока коммутации первой группы первого столбца матрицы соединены с соответствующими входами шифратора физического адреса, выход которого является выходом физического адреса устройства.

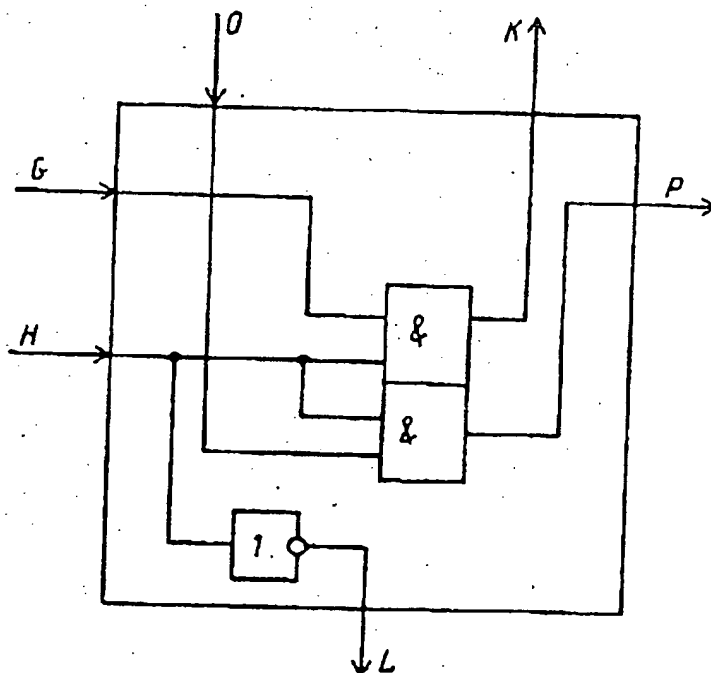
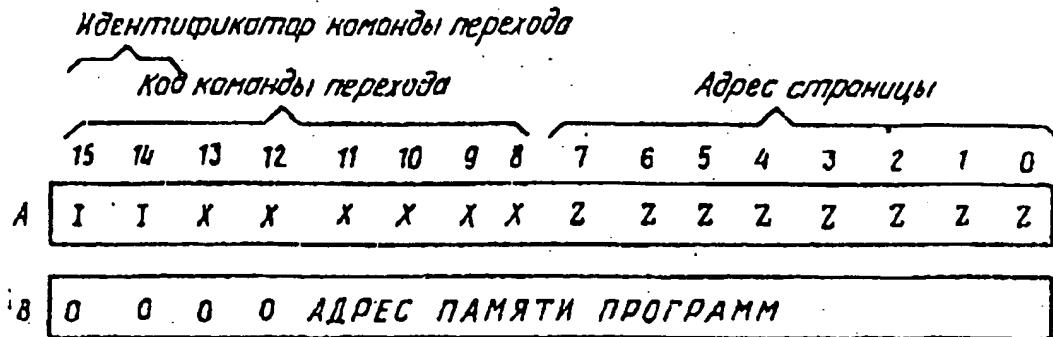


Fig. 2

1541619



Фиг. 2

Редактор А. Козориз	Составитель М. Силин Техред М. Дидик	Корректор М. Кучерявая
Заказ 282	Тираж 561	Подписное
ВНПОЛИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР 113035, Москва, Ж-35, Раушская наб., д. 4/5		
Пропервоначально-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101.		

FH 009076

## Annex 19

SU No 1573458, published June 23, 1990

### Specification of Invention to Certificate of Authorship 1573458 A1

[61] 1383877

[21] 4487231/24-24

[22] Filed: Sep. 26, 1988

[46] Jun. 23, 1990, Bulletin No 23

[72] Inventors: N.G. Parkhomenko, V.Yu. Lozbenov, V.G. Chernyaev and S.B. Kozelkov

[19] SU (11) 1573458 A1

[51] Int. Cl.<sup>3</sup> G 06 F 12/00

[53] UDC 681.325 (088.8)

### [54] AN ADDRESSING DEVICE

[57] The invention relates to the automatics and computer engineering and may be used as a module for hardware cross mapping of logical and physical addresses of any functionally completed unit (processors, memory units etc.). an object of the invention is in widening the functional possibilities of the device and its application by inverse mapping of the physical unit address to logical unit address. The device comprises a group of logical address switches 1 - 3, logical address register 4, logical address decoder 5, the first group of elements OR 6 and 7, units 8 and 9 for switching the first, second groups, physical address encoder 11, physical address register 13, physical address decoder 14, the second group of elements OR 15 and 16, logical address encoder 17. Both the logical address mapping to physical one, and reverse are allowed by adding register 13, decoder 14, coders 11, 17, and changing switching unit structures, the forward and reverse mapping being carried out concurrently and independently from one another.

As soon as the power is on the switching session starts in the array of units 8(9) in accordance with the signals of switches 1 - 3. High-level signal at switches 1 - 3 outputs corresponds to state "Unit on/perfect", low-level signal corresponds to state "Unit off/failed".

As soon as the transients are completed in switching units 8(9) array the device is available to operate in the mode of mutual mapping the logical and physical addresses. Logical address "j" being bound to such physical address "i", which corresponds to the "j"-th functional unit being a part of not-cut-off/perfect units and reverse (i.e. correlation between logical address fields and physical address fields corresponds to one-to-one mapping for a given distribution of availability flags, predetermined by switches 1 - 3).

For instance, let switch 1 to be in low-level position, and switches 2 and 3 in high-level position. Then logical address "1" at output 10 corresponds to logical address "2" at output 12, and physical address "3" at input 19 corresponds to logical address "2" at output 18. Mapping the logical addresses to the physical ones and reverse is carried out independently from one another, that allows one to find out, e.g. which logical address corresponds to the information, stored in a memory block, having a proper physical address, while no interruption taking place in accessing the perfect unit (in mapping a logical address to physical one).

FH 009077